

26.12.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 19 FEB 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 1月22日

出 願 番 号
Application Number: 特願2003-013461
[ST. 10/C]: [JP2003-013461]

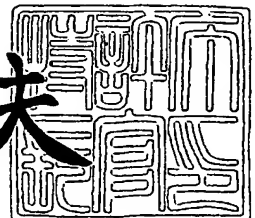
出 願 人
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月 5日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0390012702

【提出日】 平成15年 1月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 仲島 義晴

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 豊澤 昇

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100102185

【弁理士】

【氏名又は名称】 多田 繁範

【電話番号】 03-5950-1478

【手数料の表示】

【予納台帳番号】 047267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9713935

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 フラットディスプレイ装置及び携帯端末装置

【特許請求の範囲】

【請求項 1】

マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置において、

前記表示部の一辺に沿って、前記駆動回路のうちの、前記表示部の緑色の画素の階調を設定する第 1 の階調設定回路を配置し、

前記一辺に対向する前記表示部の他辺に沿って、前記駆動回路のうちの、前記表示部の赤色及び青色の画素の階調を設定する第 2 の階調設定回路を配置したことを特徴とするフラットディスプレイ装置。

【請求項 2】

前記第 1 の階調設定回路により設定される階調数が、前記第 2 の階調設定回路により設定される階調数より多い

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 3】

前記第 1 の階調設定回路は、

前記基板上に近接して配置された第 1 の基準電圧発生回路で作成される第 1 の基準電圧を選択して前記画素の階調を設定し、

前記第 2 の階調設定回路は、

前記基板上に近接して配置された第 2 の基準電圧発生回路で作成される第 2 の基準電圧を選択して前記画素の階調を設定する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 4】

前記第 1 及び第 2 の階調設定回路は、

階調を指示する階調データの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路の直列回路が、階調に対応して複数個配置され、

前記階調データに基づいて、各階調に対応する基準電圧を対応する前記直列回路により選択して前記画素の階調を設定し、

前記第 1 の階調設定回路は、

前記直列回路の 2 つを前記一辺に沿った方向に並んで配置した 1 対の直列回路によるユニットが、前記一辺と直交する方向に並んで配置されて 1 つの前記画素に対応するブロックが形成され、

前記ブロックが前記一辺に沿った方向に並んで配置され、

前記第 2 の階調設定回路は、

前記直列回路が、前記一辺と直交する方向に並んで配置されて 1 つの前記画素に対応するブロックが形成され、

前記ブロックが前記一辺に沿った方向に並んで配置された

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 5】

マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置により所望の画像を表示する携帯端末装置において、

前記フラットディスプレイ装置は、

前記表示部の一辺に沿って、前記駆動回路のうちの、前記表示部の緑色の画素の階調を設定する第 1 の階調設定回路を配置し、

前記一辺に対向する前記表示部の他辺に沿って、前記駆動回路のうちの、前記表示部の赤色及び青色の画素の階調を設定する第 2 の階調設定回路を配置した

ことを特徴とする携帯端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラットディスプレイ装置及び携帯端末装置に関し、例えば液晶表示装置、液晶表示装置を用いた PDA (Personal Digital Assisiants)、携帯電話等に適用することができる。本発明は、表示部の対向する辺の一方に沿って緑色用の階調設定回路を配置し、他方に沿って赤色用及び青色用の階調設定回路を配置することにより、従来に比して消費電力を少なくし、狭額縁化し得るようになる。

【0002】

【従来の技術】

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

【0003】

すなわち図6は、この種の液晶表示装置を示す平面図である。この液晶表示装置1は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT (Thin Film Transistor; 薄膜トランジスタ)、補助容量とにより各画素が形成され、この画素をマトリックス状に配置して矩形形状による表示部2が形成される。液晶表示装置1は、この表示部2の対向する上下の辺に沿って、それぞれ水平駆動回路3、4が形成され、残る縦方向に延長する2辺のうちの1辺に沿って垂直駆動回路5が形成される。

【0004】

ここで水平駆動回路3、4は、それぞれ表示部2の奇数列及び偶数列を構成する画素の階調を設定する。すなわちこの液晶表示装置1は、上端部に形成された入力部6を介してそれぞれ奇数列用及び偶数列用の階調データD1、D2がラスト走査順に入力され、水平駆動回路3、4は、サンプリングラッチ3A、4Aにおいて、ライン方向の画素の配列に対応してなる複数のラッチによりこの画像データを順次循環的にラッチする。これにより水平駆動回路3、4は、それぞれラスト走査順で入力される階調データD1、D2をライン単位で区切ってサンプリングラッチ3A、4Aに一時保持する。

【0005】

第2ラッチ3B、4Bは、サンプリングラッチ3A、4Aを構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのようにしてライン単位による階調データD1、D2をライン単位でまとめて続くレベルシフタ3C、4Cに出力する。

【0006】

レベルシフタ 3C、4Cは、続くデジタルアナログ変換回路(DAC: Digital to Analog Converter) 3D、4Dを構成する導電型(Nチャネル/Pチャネル)のMOS(Metal Oxide Semiconductor)トランジスタを駆動し得るように、このようにして第2ラッチ3B、4Bにより同時並列的に出力される階調データD1、D2をレベルシフトさせて出力する。続くデジタルアナログ変換回路3D、4Dは、これらの階調データD1、D2に対応する駆動電圧をそれぞれ生成して出力する。水平駆動回路3、4は、このようにして形成される複数系統の駆動電圧が表示部2のコラム線(列線)に供給され、これにより各コラム線においては、それぞれ奇数列及び偶数列について、縦方向に連続する画素の階調データD1、D2に対応する駆動電圧に、順次循環的に設定されるようになされている。

【0007】

垂直駆動回路5においては、このコラム線における駆動電圧の設定に対応して、表示部2のロー線(行線)を順次選択して対応する画素のTFEをオン状態に設定する。これにより液晶表示装置1においては、階調データD1、D2による所望の画像を表示し得るようになされている。

【0008】

このようにして構成されてなる液晶表示装置においては、例えば特開2000-242209号公報に開示されているように、階調データD1、D2による各階調に対応する複数系統の基準電圧を階調データD1、D2に応じて選択することにより、駆動電圧を生成する方式(いわゆる基準電圧選択型である)によるデジタルアナログ変換回路3D、4Dが採用されるようになされている。この場合、図6との対比により図7に示すように、液晶表示装置1においては、この複数系統の基準電圧を生成する基準電圧発生回路7を、表示部2の残る一辺の、水平駆動回路3及び4から等距離の位置に配置し、水平駆動回路3及び4の双方に、この基準電圧発生回路7から基準電圧を供給するようになされ、これにより奇数列と偶数列とにおける基準電圧のばらつきを防止し、このばらつきによる縦すじ等の発生を有効に回避するようになされている。

【0009】

これに対して図 8 は、この基準電圧選択型によるデジタルアナログ変換回路 3 D、4 Dを示す接続図である。デジタルアナログ変換回路 3 D、4 Dは、階調データ D 1、D 2 の各ビット b 0 ~ b 5 の論理値によりそれぞれオンオフ動作するスイッチ回路による直列回路 C 0 ~ C 6 3 が階調に対応して複数個設けられ、これらの直列回路 C 0 ~ C 6 3 の一端にそれぞれ各基準電圧 V 0 ~ V 6 3 が供給され、これら直列回路 C 0 ~ C 6 3 の他端がコラム線 O U T に接続される。なおこの図 8 は、階調データ D 1、D 2 が 6 ビットの場合であり、スイッチ回路は、導電型（N チャネル / P チャネル）の MOS トランジスタにより形成され、階調データ D 1 の値に応じて対応する基準電圧を選択し得るように、N チャネル及び P チャネルが配置される。これによりデジタルアナログ変換回路 3 D、4 D は、階調データ D 1、D 2 に応じて基準電圧 V 0 ~ V 6 3 を選択して出力するようになされている。なお図 9 は、各トランジスタをスイッチにより置き換えて示す接続図である。

【0010】

このようにして形成されるデジタルアナログ変換回路 3 D、4 D においては、基準電圧 V 0 ~ V 6 3 を選択する直列回路 C 0 ~ C 6 3 の他端が表示部 2 のコラム線 O U T に接続され、このコラム線 O U T にあつては、この水平駆動回路 3、4 が配置されてなる辺と直交する方向に延長することにより、この直交する方向である垂直方向に並んでこれらの直列回路 C 0 ~ C 6 3 が配置されて 1 つの画素に対応する直列回路 C 0 ~ C 6 3 のブロック B が形成される（図 9）。またこのブロック B が、水平駆動回路 3、4 が配置されてなる表示部 2 の辺に沿って水平方向に連続するように配置される。またこれにより基準電圧 V 0 ~ V 6 3 においては、水平方向に延長する配線によりこの水平方向に連続するブロック B で共通に使用するように設定され、これにより液晶表示装置 1 においては、限られた基板上のスペースを効率良く利用するようになされている。

【0011】

またそれぞれ奇数列及び偶数列においては、赤色用、青色用、緑色用の画素の繰り返しにより形成されていることにより、この水平方向に連続するブロック B が順次循環的に赤色用、青色用、緑色用の画素の駆動に割り当てられ、画素の繰

り返しピッチPの2倍のピッチによりブロックBが配置されるようになされている。

【0012】

【特許文献1】

特開 2000-242209号公報

【0013】

【発明が解決しようとする課題】

ところでこのように赤色用、青色用、緑色用の画素の繰返しに対応して直列回路のブロックBを順次配置し、基準電圧 $V_0 \sim V_{63}$ をこれらブロックBに共通に供給する場合、基準電圧 $V_0 \sim V_{63}$ による階調をNと置くと、 $N \times N \times N$ 色の表示が可能となる。この場合、基準電圧 $V_0 \sim V_{63}$ に対応する階調データD1、D2においては、 $N = 2^n$ により表して2の $3 \times n$ 乗色の表示が可能になり、階調データD1、D2が6ビットの場合、約260000色の表現が可能になる。

【0014】

これに対して携帯端末装置等においては、このような260000色もの高い色表現能力は求められず、一般に、緑色用の階調データD1、D2を6ビットに設定し、赤色用、青色用については階調データD1、D2を5ビットに設定して使用するようになされている。なおこの場合、 $64 \times 32 \times 32$ ($\equiv 65000$)色の表示が可能となる。

【0015】

これによりこの場合、図6～図9について上述した従来構成に係る液晶表示装置1においては、デジタルアナログ変換回路3D、4Dにおける赤色用、青色用のブロックBにおいて、無駄にトランジスタを設けていることになり、またその分、無駄に電力を消費していることになる。

【0016】

このような無駄を省くことができれば、その分、表示部2の周辺構成に係る面積を小型化して、いわゆる狭額縁化を図ることができ、また消費電力を少なくすることができる。

【0017】

本発明は以上の点を考慮してなされたもので、従来に比して消費電力を少なくし、狭額縁化し得るフラットディスプレイ装置、このフラットディスプレイ装置による携帯端末装置を提案しようとするものである。

【0018】

【課題を解決するための手段】

かかる課題を解決するため請求項1の発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置に適用して、表示部の一辺に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一辺に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置する。

【0019】

また請求項5の発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置により所望の画像を表示する携帯端末装置に適用して、このフラットディスプレイ装置は、表示部の一辺に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一辺に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置してなるようにする。

【0020】

請求項1の構成によれば、表示部の一辺に沿って、駆動回路のうちの、表示部の緑色の画素の階調を設定する第1の階調設定回路を配置し、一辺に対向する表示部の他辺に沿って、駆動回路のうちの、表示部の赤色及び青色の画素の階調を設定する第2の階調設定回路を配置することにより、緑色の画素に設定する階調数と、赤色及び青色の画素に設定する階調数とに応じて、それぞれ第1及び第2の階調設定回路を構成することができ、これにより緑色に比して赤色及び青色の階調数を小さくする場合、第2の階調設定回路における無駄を省略することができ、その分、従来に比して消費電力を低減し、狭額縁化を図ることができる。

【0021】

これにより請求項5の構成によれば、消費電力を低減し、狭額縁化を図ることができる分、小型、低消費電力の携帯端末装置を提供することができる。

【0022】

【発明の実施の形態】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【0023】

(1) 第1の実施の形態

(1-1) 第1の実施の形態の構成

図2は、本発明の実施の形態に係る携帯端末装置に係る画像表示部を示すブロック図である。この携帯端末装置は、例えば携帯電話、PDA等であり、この画像表示部11により所望の画像を表示する。このためこの画像表示部11においては、画像処理回路12に内蔵の画像メモリに画像データDR、DG、DBを格納し、この画像データDR、DG、DBを順次液晶表示装置13に出力する。またこの画像データDR、DG、DBの出力に同期して、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを出力する。

【0024】

この携帯端末装置は、内蔵の液晶表示装置13にこれら画像データDR、DG、DB、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを入力し、この液晶表示装置13により画像を表示する。ここでこの液晶表示装置13は、マトリックス状に画素を配置してなる表示部14と、この表示部14の画素を駆動する駆動回路15とをガラス基板上に一体に形成してなるフラットディスプレイ装置である。この実施の形態では、この表示部14の画素が、液晶セル、この液晶セルをスイッチングするポリシリコンTFT、補助容量とにより構成される。

【0025】

これに対して駆動回路15は、インターフェース(IF)16を介してマスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCをタイミングジェネレータ(TG)17に入力し、ここで各種動作基準のタイミング信号を

生成する。DC-DCコンバータ (DDC) 21は、このタイミングジェネレータ17で生成される所定のタイミング信号により動作して、この液晶表示装置13に供給される電源VDDから各部の動作に必要な電源VDD2、VVSS2、HVSS2等を生成する。

【0026】

垂直駆動回路18は、同様に、タイミングジェネレータ17で生成される所定のタイミング信号により動作して、表示部14のラインを選択する選択信号を出力する。基準電圧発生回路19は、水平駆動回路20の処理に必要な基準電圧を生成し、水平駆動回路20は、画像データDR、DG、DBによる階調データにより表示部14の対応する画素の階調を設定する。

【0027】

図1は、この液晶表示装置13のこれら水平駆動回路20、垂直駆動回路18、表示部14の構成を詳細に示す平面図である。この液晶表示装置13においては、赤色、青色の階調を示す画像データDR、DBが5ビットにより入力されるのに対し、緑色の階調を示す画像データDGが6ビットにより入力される。これに対応して水平駆動回路20は、赤色用、青色用の水平駆動回路20A、緑色用の水平駆動回路20Bとにより構成される。

【0028】

ここで赤色用、青色用の水平駆動回路20Aは、表示部14の上側、水平方向に延長する辺に沿って配置されるのに対し、緑色用の水平駆動回路20Bは、この水平駆動回路20Aが配置されてなる辺と対向する表示部14の下側、水平方向に延長する辺に沿って配置される。

【0029】

これらによりこの液晶表示装置13においては、5ビットによる階調データDR、DBにより表示部14の階調を設定する階調設定回路である水平駆動回路20Aと、6ビットによる階調データDGにより表示部14の階調を設定する階調設定回路である水平駆動回路20Bとをそれぞれ表示部14の上下に沿って配置して無駄な構成を省略するようになされ、その分、消費電力を少なくし、狭額縁化し得るようになされている。

【0030】

すなわち赤色用、青色用の水平駆動回路20Aは、処理対象の画像データDR、DBである階調データが赤色用、青色用である点、全体が5ビットの階調データに対応するように構成されている点、赤色用、青色用の画素に対応する駆動信号を表示部14に対して出力するようにコラム線への接続が設定されている点を除いて、図6について上述した水平駆動回路3と同一に構成される。またこれにより基準電圧発生回路19においては、6ビットによる水平駆動回路20Bに出力する基準信号V0B～V63Bを間引いて、5ビットによる水平駆動回路20Aに基準信号V0A～V31Aを出力する。

【0031】

具体的に、水平駆動回路20Aは、順次ラスタ走査の順序で入力される5ビットによる赤色、青色の画像データDR、DBを、サンプリングラッチ20AAを構成する複数のラッチで順次循環的にラッチし、この複数のラッチ結果をライン単位で同時並列的に第2ラッチ20ABでラッチする。また続くレベルシフタ20ACにより各ビットの信号レベルをレベルシフトさせ、ディジタルアナログ変換回路(DAC)20ADによりアナログディジタル変換処理する。これにより水平駆動回路20Aは、ライン単位で、表示部14の赤色及び青色の画素の階調を設定する駆動信号OUTを生成するようになされ、これにより表示部14の赤色及び青色の画素の階調を設定する第2の階調設定回路を構成するようになされている。

【0032】

これにより水平駆動回路20Aにおいては、図6において表示部2の上側に配置した水平駆動回路3に比して、サンプリングラッチ20AA、第2ラッチ20AB、レベルシフタ20AC、ディジタルアナログ変換回路(DAC)20ADで処理するビット数を少なくし得、その分、構成を簡略化して狭額縁化し、さらには消費電力を少なくすることができるようになされている。

【0033】

すなわち図3は、この水平駆動回路20Aのディジタルアナログ変換回路20ADの構成を示す接続図である。このディジタルアナログ変換回路20ADにお

いては、Pチャンネル及びNチャンネルの導電型MOSトランジスタにより、階調データDR、DBの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路が構成され、このスイッチ回路の直列回路C0～C32がこの水平駆動回路20Aによる階調に対応して複数個（この場合32個）配置される。

【0034】

直列回路C0～C32は、一端が対応する基準電圧V0A～V31Aに接続され、他端がコラム線に接続され、これにより水平駆動回路20Aにおいては、階調データに基づいて、各階調に対応する基準電圧を対応する直列回路により選択して画素の階調を設定するようになされている。直列回路C0～C31は、このコラム線の延長方向に順次配置されて、各画素に対応するブロックBが形成され、この実施の形態においては、6ビットによる階調データを処理する場合、このブロックBを構成する直列回路の数が64個必要なのに対し、この実施の形態では5ビットにより32個で足り、これにより表示部14の上部について、大幅に狭額縁化し得るようになされている。

【0035】

なおこのようにして赤色、青色の画像データDR、DBの処理を水平駆動回路20Aに割り当てるようにすると、水平駆動回路20Aにおいては、奇数列又は偶数列を処理する場合に比して、水平方向の配列が密になる。すなわち奇数列又は偶数列により処理する場合は、図9により示すように、液晶セルの水平方向の繰り返し周期の2倍の周期により、各ブロックBを配置することが必要になり、例えばこの繰り返し周期が80[μm]の場合、ブロックBを160[μm]以下の幅により作成することが必要になる。これに対して赤色、青色の画像データDR、DBの処理を水平駆動回路20Aに割り当てる場合、液晶セルの水平方向の繰り返し周期が80[μm]の場合、3倍の240[μm]の幅に、2つのブロックBを配置することが必要になる。しかしながらこの横方向の幅については、従来から十分に余裕があり、この実施の形態では、ビット数が少ない分、この横方向の構成も簡略化されていることにより、十分に各ブロックBを配置することができる。

【0036】

これに対して緑色用の水平駆動回路 20B は、6 ビットによる緑色の画像データ DG を順次処理して、緑色の画素に対応する駆動信号 OUT を生成するように構成される。すなわち水平駆動回路 20B は、順次ラスタ走査の順序で入力される 6 ビットによる緑色の画像データ DG を、サンプリングラッチ 20BA を構成する複数のラッチで順次循環的にラッチし、この複数のラッチ結果をライン単位で同時並列的に第 2 ラッチ 20BB でラッチする。また続くレベルシフタ 20BC により各ビットの信号レベルをレベルシフトさせ、デジタルアナログ変換回路 (DAC) 20BD によりアナログデジタル変換処理する。これにより水平駆動回路 20B は、ライン単位で、表示部の緑色の画素の階調を設定する駆動信号 OUT を生成するようになされ、これにより表示部の緑色の画素の階調を設定する第 1 の水平駆動回路を構成するようになされている。

【0037】

このようにして緑色用の階調データだけを処理する水平駆動回路 20B においては、奇数列又は偶数列を処理する場合に比して、駆動対象の画素数が少なくなることにより、水平方向の配列が粗になる。この実施の形態では、この粗となった水平方向の配列を狭額縁化に役立てる。

【0038】

すなわち図 4 は、この緑色用の水平駆動回路 20B のデジタルアナログ変換回路 20BD を示す接続図である。このデジタルアナログ変換回路 20BD においては、デジタルアナログ変換回路 20AD と同様に、P チャンネル及び N チャンネルの導電型 MOS トランジスタにより、階調データ DG の各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路が構成され、このスイッチ回路の直列回路 C0～C63 がこの水平駆動回路 20A による階調に対応して複数個（この場合 64 個）配置される。

【0039】

直列回路 C0～C63 は、一端が対応する基準電圧 V0A～V63A に接続され、他端がコラム線に接続され、これにより水平駆動回路 20B においても、階調データ DG に基づいて、各階調に対応する基準電圧 V0A～V63A を対応する直列回路 C0～C63 により選択して画素の階調を設定するようになされている。

る。直列回路C0～C64は、コラム線を間に挟んで、水平方向に並ぶように1対の直列回路C0及びC1、……、C62及びC63が配置され、各1対の直列回路C0及びC1、……、C62及びC63によるユニットが、コラム線の延長方向に並んで画素に対応するブロックBを形成するようになされている。この実施の形態においては、この横方向に並ぶ1対の直列回路が、隣接する基準電圧を選択する直列回路に設定される。

【0040】

これによりこの実施の形態において、水平駆動回路20Bは、6ビットによる階調データDGによる64階調の駆動信号を出力するにも係わらず、5ビットによる階調データDR、DBを処理する水平駆動回路20Aのデジタルアナログ変換回路20ADと同様に、コモン線の延長方向については、32個の直列回路が並ぶように形成され、これによりこの実施の形態では、表示部14の下側についても狭額縁化し得るようになされている。

【0041】

(1-2) 第1の実施の形態の動作

以上の構成において、この携帯端末装置では(図2)、ホームページをアクセスして取得した画像に係る画像データ、撮像手段を介して取得した画像データ等が画像処理回路12に内蔵の画像メモリに保持され、この画像メモリに保持された画像データが液晶表示装置13に同期信号等と共に入力される。このとき画像データは、緑色の画像データDGが6ビットにより取得されて画像メモリに保持された後、出力されるのに対し、赤色及び青色の画像データDR、DBが5ビットにより取得されて画像メモリに保持された後、出力され、これによりこの携帯端末装置では、画像データの表示に十分な階調に対応するビット数により処理して、この画像データの処理に係る一連の処理系の構成を簡略化し得るようになされている。

【0042】

このようにして入力される画像データDR、DG、DBは、水平駆動回路20により各画素の階調に対応する駆動信号に変換されて表示部14に出力され、垂直駆動回路18によるラインの選択により、この駆動信号が対応するラインの画

素に供給され、これによりこの画像データDR、DG、DBにより画像が表示部14で表示される。

【0043】

このようにして画像データDR、DG、DBにより階調を設定するにつき、画像データDR、DG、DBのうち、5ビットによる赤色及び青色の画像データDR及びDBは（図1）、表示部14の上側に沿って配置された水平駆動回路20Aによりまとめて処理されて対応する画素の駆動信号が生成されるのに対し、残る6ビットによる緑色の画像データDGにおいては、表示部の上側に沿って配置された水平駆動回路20Bによりまとめて処理されて対応する画素の駆動信号が生成される。これにより液晶表示装置13においては、表示部14の上側の水平駆動回路20Aを5ビットに対応するように構成し得、その分、無駄な構成を省略して消費電力を低減し、狭額縁化することができる（図3）。

【0044】

すなわち例えばディジタルアナログ変換回路20ADにおいては、階調を指示する階調データである画像データの各ビットの論理値によりそれぞれオンオフ動作するスイッチ回路の直列回路を、階調に対応して複数個配置し、階調データに基づいて、各階調に対応する基準電圧を対応する直列回路により選択して画素の階調を設定するようにして、この直列回路を、表示部14の上側一辺と直交する方向に並んで配置して1つの画素に対応するブロックBを形成し、このブロックBを先の一辺に沿った方向に並んで配置するようにして、ブロックBを構成する直列回路の数を従来の1/2にし得、これにより狭額縁化することができる。

【0045】

これに対して下側に配置した6ビットの処理系である緑色用の水平駆動回路20Bにおいては、上側の水平駆動回路20Aが赤色及び青色による2系統の画像データDR、DBを処理するのに対し、緑色による1系統の画像データDGを処理することから、水平方向に余裕が生まれる。これによりこの実施の形態では、図4に示すように、ディジタルアナログ変換回路20BDにおいて、階調データに基づいて対応する基準電圧を選択する直列回路を、水平方向に並んで配置して1対の直列回路によるユニットを形成し、このユニットをコラム線の延長方向に

並んで配置して1つの画素に対応するブロックBが形成し、このブロックBを水平方向に並んで配置するようになされ、これによりこの水平駆動回路20B側においても、ブロックを構成する直列回路の段数を従来の1/2にして狭額縁化することができる。

【0046】

(1-3) 第1の実施の形態の効果

以上の構成によれば、表示部14の対向する辺の一方に沿って緑色用の水平駆動回路20Bを配置し、他方に沿って赤色用及び緑色用の水平駆動回路20Aを配置することにより、各水平駆動回路20A、20Bを画像データのビット数に対応するように設定して無駄を省略し得、その分、従来に比して消費電力を少なくし、狭額縁化することができる。

【0047】

すなわち緑色用の水平駆動回路20Bにより設定される階調数が、赤色用及び緑色用の水平駆動回路20Aにより設定される階調数より多くなるように設定する場合に、各水平駆動回路20A、20Bを画像データのビット数に対応するように設定して無駄を省略し、従来に比して消費電力を少なくし、狭額縁化することができる。

【0048】

またこの緑色用の水平駆動回路20Bにおいて、基準電圧を選択するスイッチによる直列回路を水平方向に並べて1対の直列回路によるユニットを形成し、このユニットをコラム線の延長方向に並んで配置して1つの画素に対応するブロックBを形成することにより、この緑色用の水平駆動回路20B側についても、狭額縁化することができる。

【0049】

(2) 第2の実施の形態

図5は、図1との対比により本発明の第2の実施の形態に係る携帯端末装置に適用される液晶表示装置33を示す平面図である。この液晶表示装置33では、5ビットによる水平駆動回路20Aに近接して配置した基準電圧発生回路19Aにより、5ビットによる階調に対応する基準信号V0A～V32Aを生成して水

平駆動回路 20A に供給する。また 6 ビットによる水平駆動回路 20B に近接して配置した基準電圧発生回路 19B により、6 ビットによる階調に対応する基準信号 V0B ~ V63B を生成して水平駆動回路 20B に供給する。なおこの実施の形態では、この基準信号の生成に係る基準電圧発生回路 19A 及び 19B の構成が異なる点を除いて、第 1 の実施の形態と同一に構成される。

【0050】

この実施の形態によれば、それぞれ水平駆動回路 20A 及び 20B に近接して配置した基準電圧発生回路で基準電圧を生成することにより、この基準電圧の引回しに係る配線のスペースを省略することができ、横方向についても狭額縁化することができる。またそれぞれ水平駆動回路 20A 及び 20B においては、赤色、青色及び緑色による画素に対応することにより、このように専用の基準電圧発生回路を設けるようにして、基準電圧がばらついた場合でも、図 6 について説明した奇数列、偶数列により分けて処理する場合のような縦縞等の発生を有効に回避することができる。

【0051】

(3) 他の実施の形態

なお上述の実施の形態においては、それぞれ 6 ビット及び 5 ビットによる画像データを処理して画像を表示する場合について述べたが、本発明はこれに限らず、種々のビット数により処理する場合に、広く適用することができる。なおこの場合に、青色、赤色でビット数が異なる場合でも広く適用することができる。

【0052】

また上述の実施の形態においては、液晶セルによる画素を駆動する場合について述べたが、本発明はこれに限らず、種々の表示手段により画素を構成するフラットディスプレイ装置に広く適用することができる。

【0053】

【発明の効果】

上述のように本発明によれば、表示部の対向する辺の一方に沿って緑色用の階調設定回路を配置し、他方に沿って赤色用及び青色用の階調設定回路を配置することにより、従来に比して消費電力を少なくし、狭額縁化することができる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施の形態に係る液晶表示部を示す平面図である。

【図 2】

図 1 の液晶表示部による携帯端末装置を示すブロック図である。

【図 3】

図 1 の液晶表示部における水平駆動回路 20A のデジタルアナログ変換回路 20AD の説明に供する接続図である。

【図 4】

図 1 の液晶表示部における水平駆動回路 20B のデジタルアナログ変換回路 20BD の説明に供する接続図である。

【図 5】

本発明の第 2 の実施の形態に係る液晶表示部を示す平面図である。

【図 6】

従来の液晶表示装置を示す平面図である。

【図 7】

基準電圧発生回路の配置の説明に供する平面図である。

【図 8】

図 6 の液晶表示装置におけるデジタルアナログ変換回路を示す接続図である。

【図 9】

図 8 の各トランジスタをスイッチにより置き換えて示す接続図である。

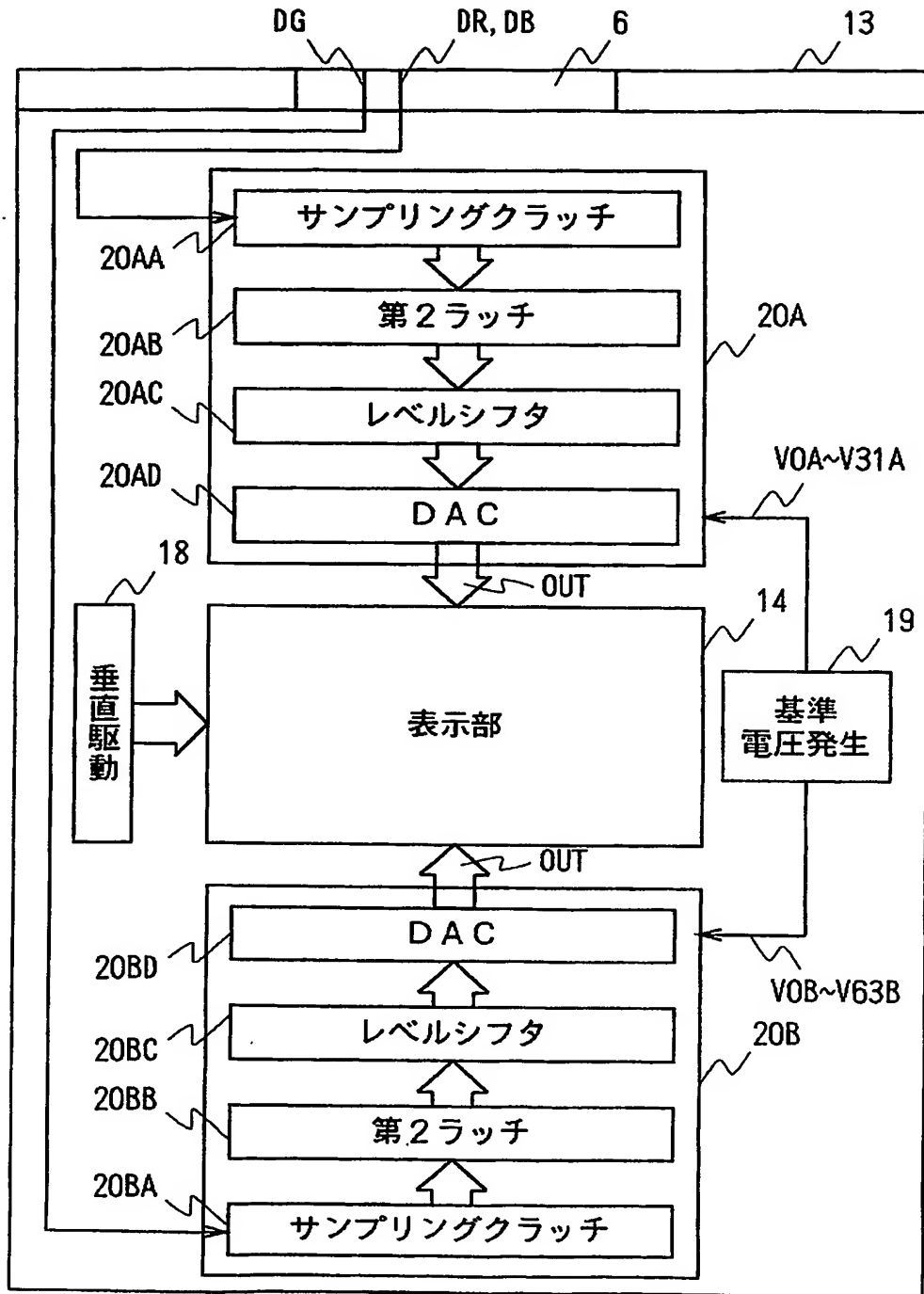
【符号の説明】

1、13、33……液晶表示装置、2、14……表示部、3、4、20A、20B……水平駆動回路、3D、4D、20AD、20BD……デジタルアナログ変換回路、5、18……垂直駆動回路、7、19、19A、19B……基準電圧発生回路、11……携帯端末装置

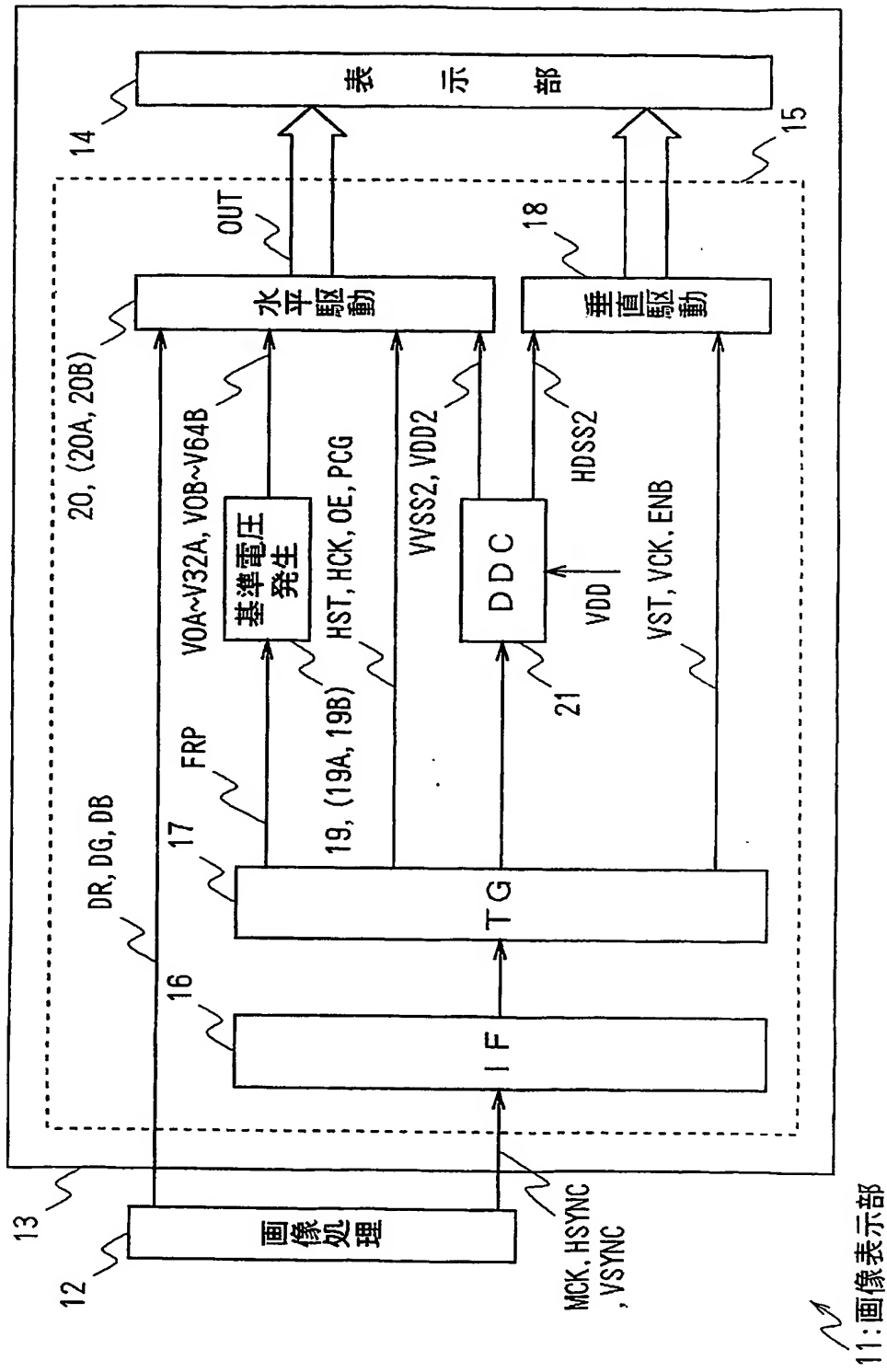
【書類名】

図面

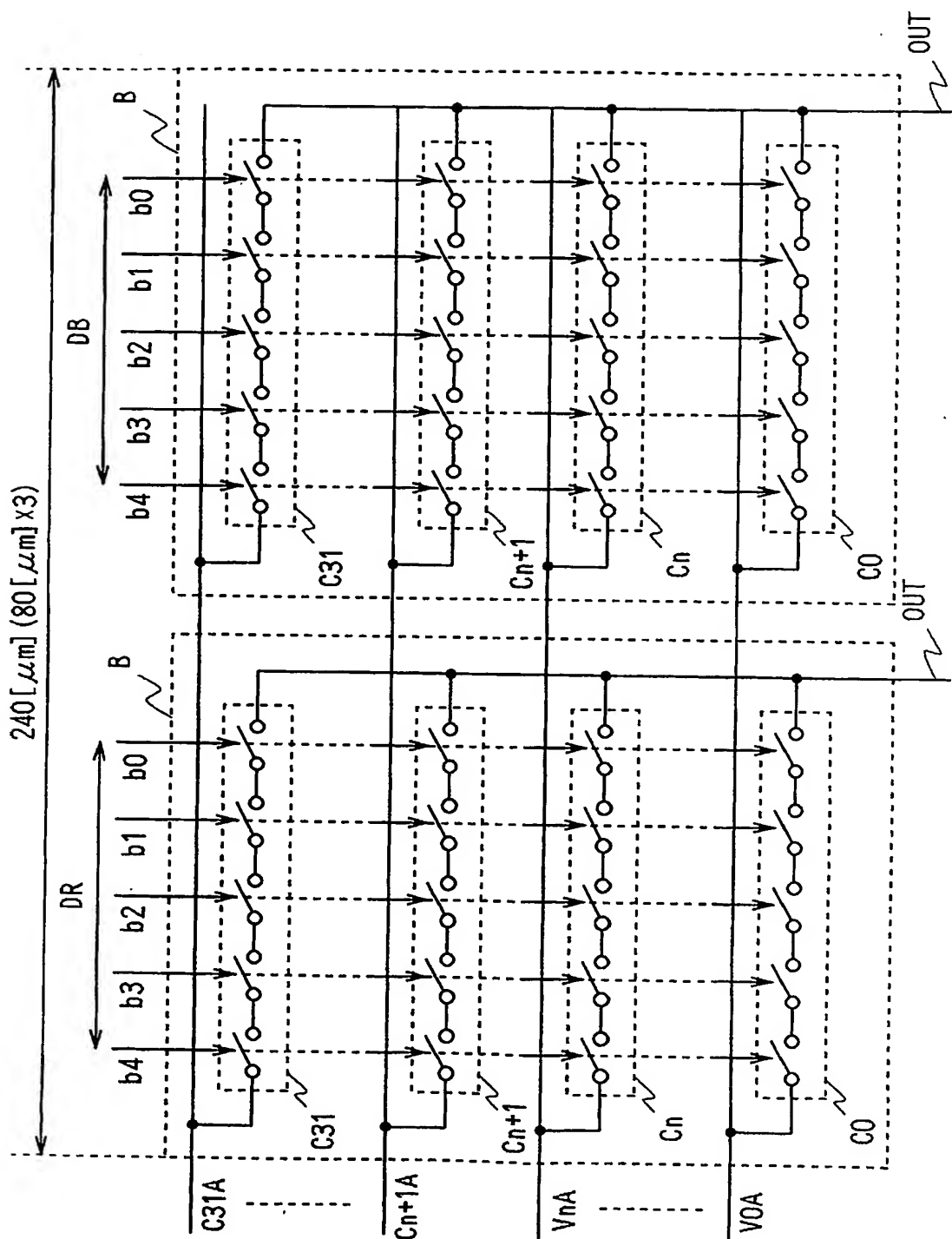
【図 1】



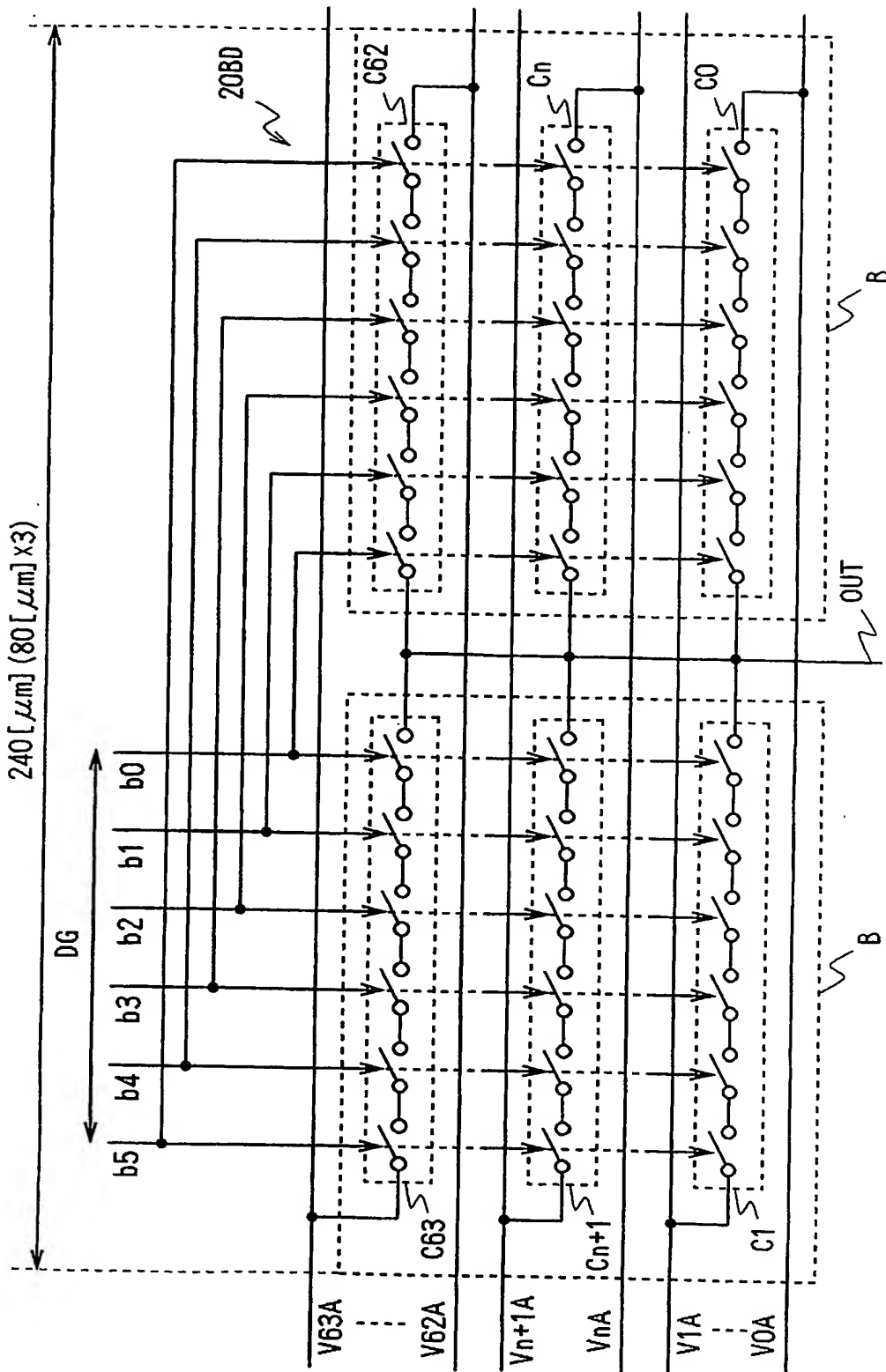
【図2】



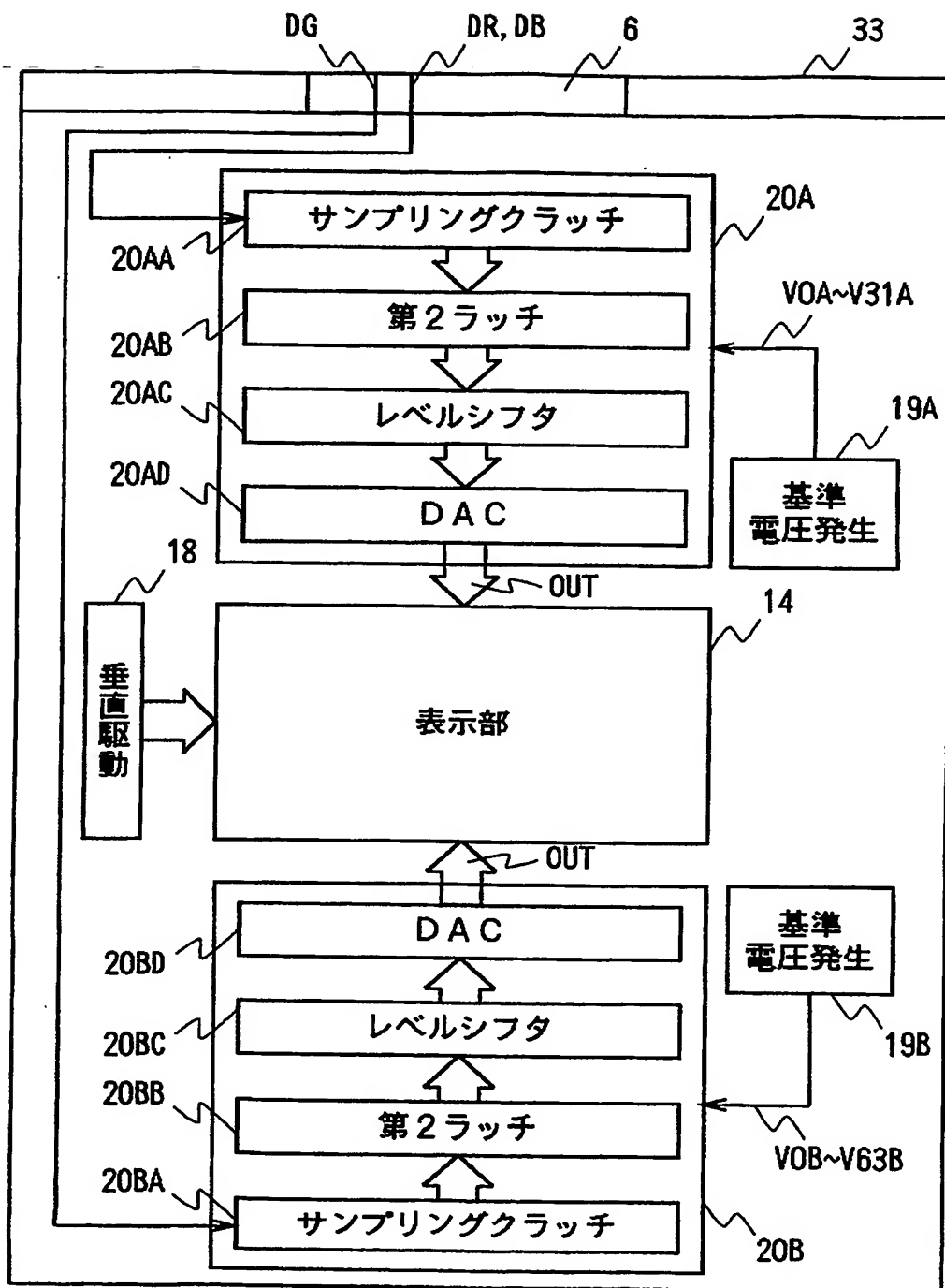
【図 3】



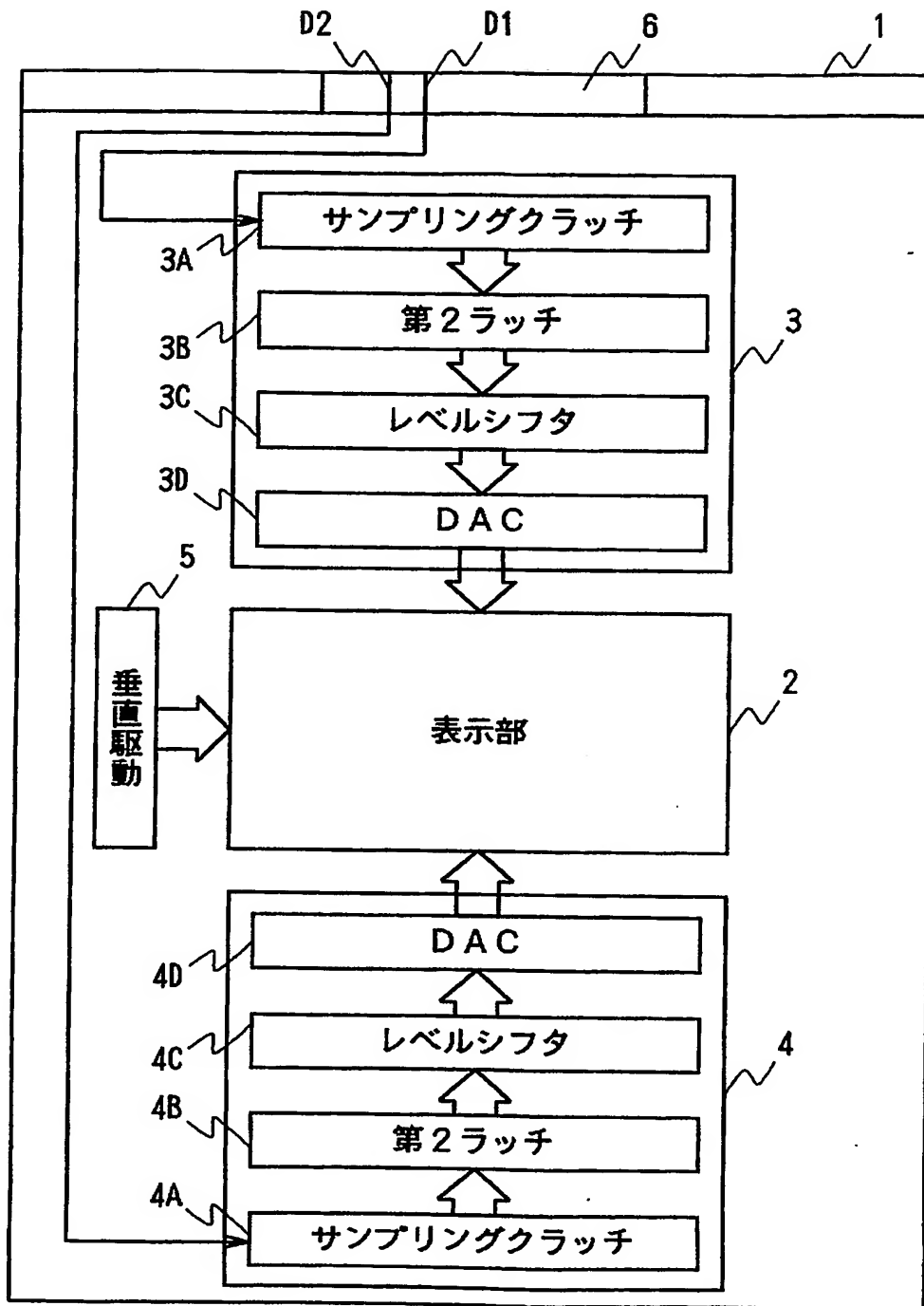
【図 4】



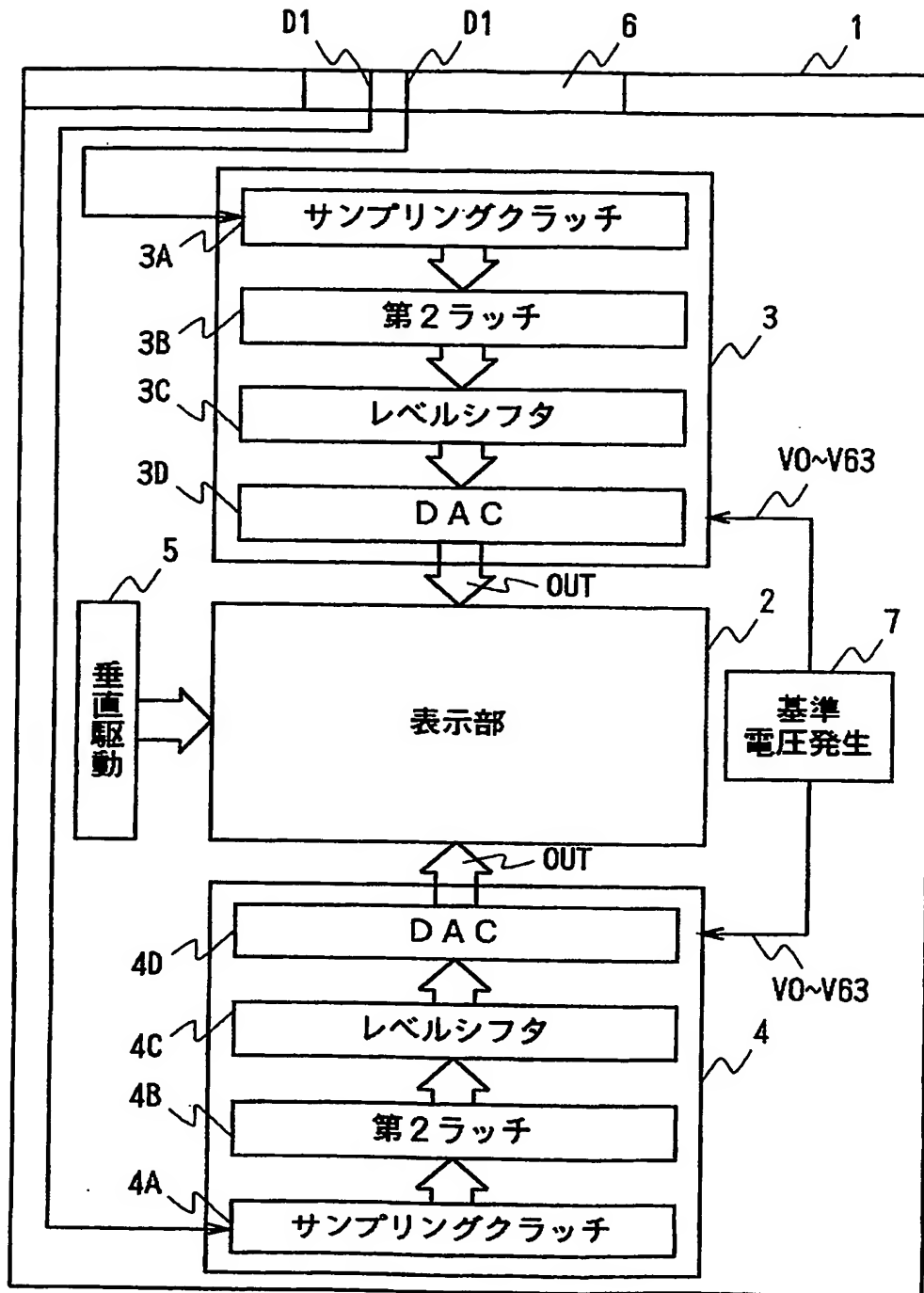
【図 5】



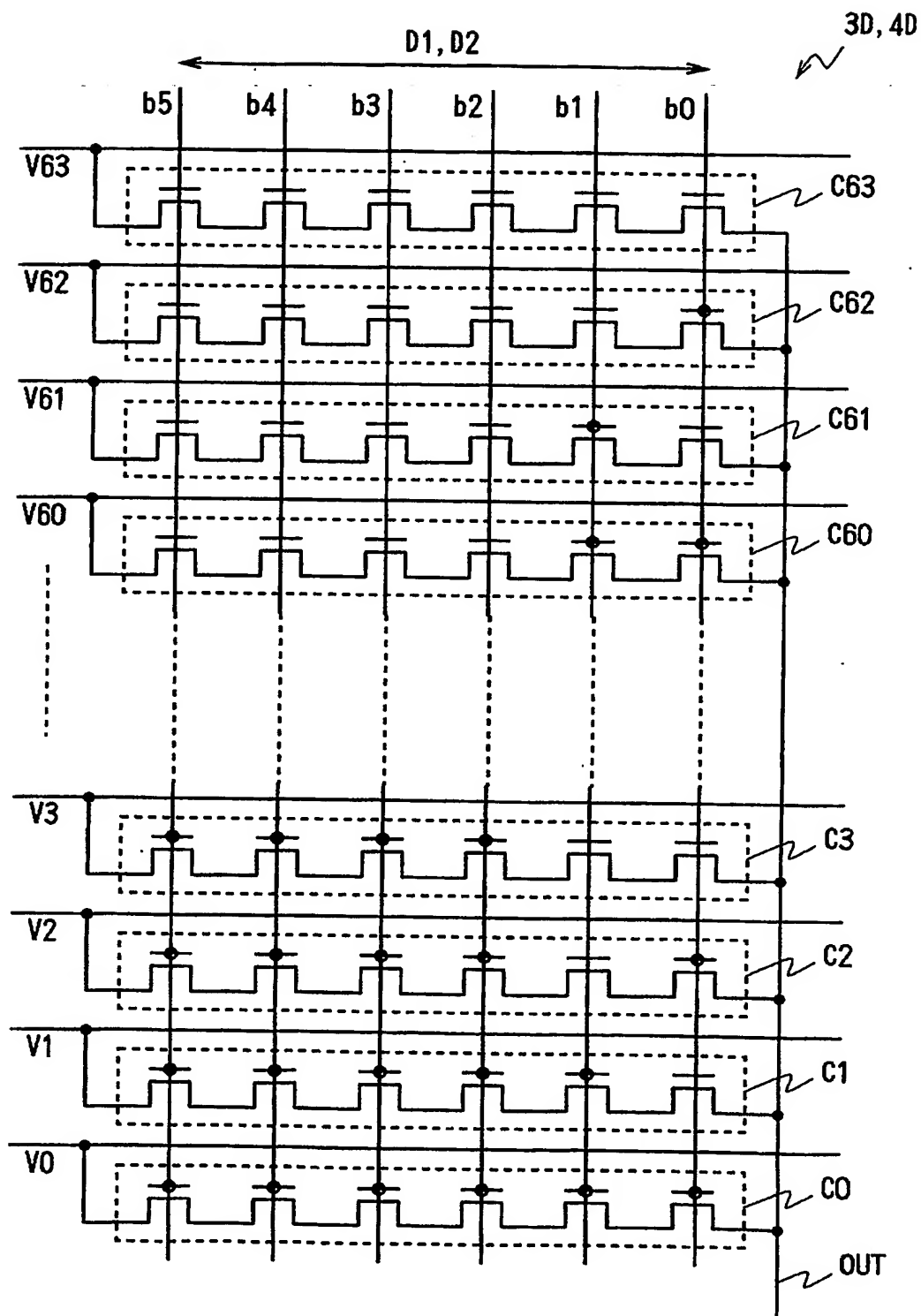
【図 6】



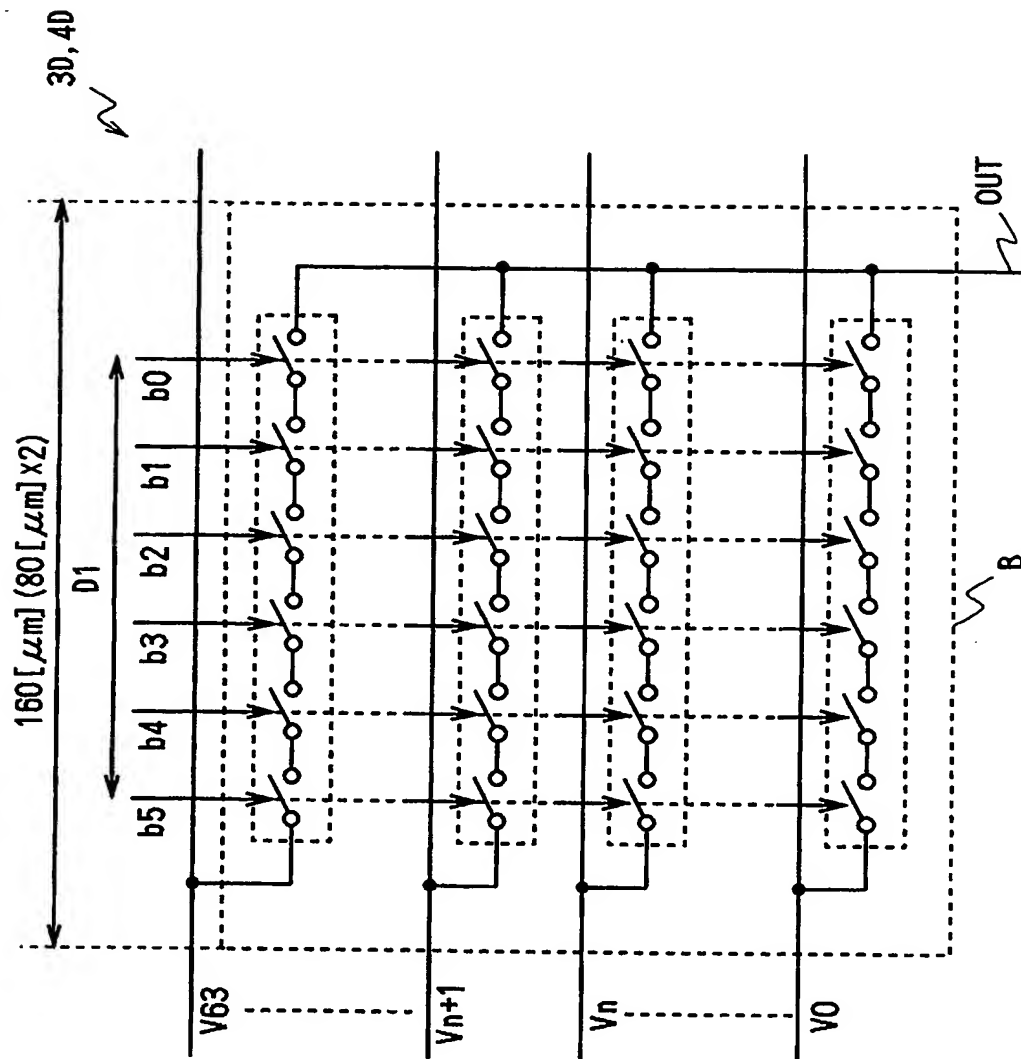
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 本発明は、フラットディスプレイ装置及び携帯端末装置に関し、従来に比して消費電力を少なくし、狭額縁化し得るようにする。

【解決手段】 本発明は、表示部 1 4 の対向する辺の一方に沿って緑色用の階調設定回路 2 0 B を配置し、他方の辺に沿って赤色用及び青色用の階調設定回路 2 0 A を配置する。

【選択図】 図 1

特願 2 0 0 3 - 0 1 3 4 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社